

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-078973

(43)Date of publication of application : 22.03.1996

(51)Int.Cl.

H03F 3/34

(21)Application number : 06-214937

(71)Applicant : KANEBO LTD  
MITSUBISHI ELECTRIC CORP

(22)Date of filing : 08.09.1994

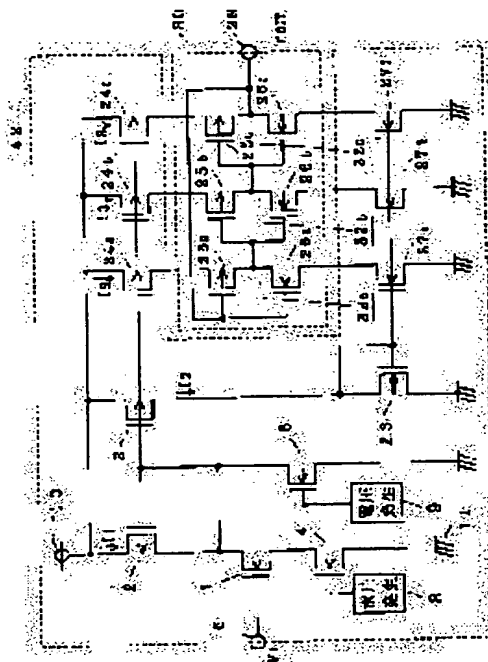
(72)Inventor : USHIJIMA TAKEICHI  
NAKAJIMA MICHIO

## (54) VOLTAGE-CURRENT CONVERTER

## (57)Abstract:

PURPOSE: To obtain output current independent of the fluctuation of the power supply voltage or reversely depending thereof.

CONSTITUTION: The current I2 flowing through FET 3 and 23 and the output current I3 flowing through FET 24a to 24c and 27a to 27c is proportional to the current I1 flowing through an FET 2 by a current mirror effect. The current I1 is varied by the voltage signal V1 inputted in the FET 1. The current I1 is simultaneously limited by the on-resistance of FET 4 and 5 controlled by the output voltage of voltage generation device parts 8 and 9. The voltage generation device parts 8 and 9 outputs voltage dropping/boosting corresponding to the boost/drop of power supply voltage. Therefore, the on-resistance of the FET 4 and 5 dropping/boosting corresponding to the boost/drop of the power supply voltage. As a result, the fluctuation of the current I2 and I3 corresponding to the fluctuation of power supply voltage is mitigated, canceled or fluctuates reversely.



## LEGAL STATUS

[Date of request for examination] 24.11.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3402782

[Date of registration] 28.02.2003

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

BEST AVAILABLE COPY

510

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平 8 - 7 8 9 7 3

(43)公開日 平成8年(1996)3月22日

(51) Int. Cl. <sup>6</sup>  
H03F 3/34

識別記号 庁内整理番号  
C 8943-5J

F I

### 技術表示箇所

審査請求 未請求 請求項の数 4 O L (全 9 頁)

(21)出願番号 特願平6-214937

(22)出願日 平成6年(1994)9月8日

(71)出願人 0 0 0 0 0 0 9 5 2

鐘紡株式会社

東京都墨田区墨田五丁目17番4号

(71)出願人 0 0 0 0 0 6 0 1 3

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72) 発明者 牛嶋 武市

大阪市都島区友渕町1丁目5番90号 鐘  
紡株式会社電子技術研究所内

(72)発明者 中島 三智雄

神奈川県相模原市宮下一丁目1番57号

三菱電機株式会社相模事業所内

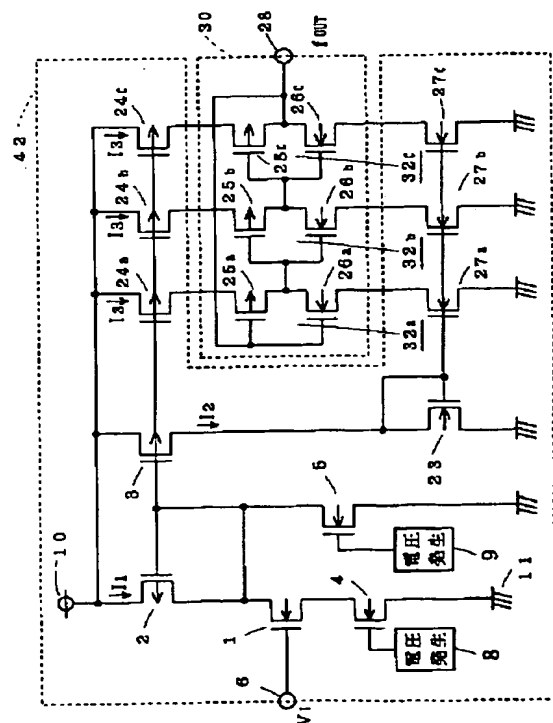
(74)代理人 弁理士 吉田 茂明 (外2名)

(54) 【発明の名称】 電圧電流変換装置

(57) 【要約】

【目的】 電源電圧の変動に依存しないかあるいは逆方向に依存する出力電流を得る。

【構成】 FET3, 23を流れる電流 $I_1$ ,およびFET24a~24c, 27a~27cを流れる出力電流 $I_2$ は、カレントミラー効果によって、FET2を流れる電流 $I_1$ に比例する。電流 $I_1$ はFET1へ入力される電圧信号 $V_1$ によって可変である。電流 $I_1$ は同時に、電圧発生装置部8, 9の出力電圧によって制御されるFET4, 5のオン抵抗によって制限される。電圧発生装置部8, 9は、電源電圧の上昇／下降にともなって減少／上昇する電圧を出力する。このため、FET4, 5のオン抵抗は電源電圧の上昇／下降にともなって増加／減少する。その結果、電源電圧の変動に伴う電流 $I_1$ ,  $I_2$ の変動が緩まないし解消され、あるいは逆方向に変動する。



## 【特許請求の範囲】

【請求項 1】 相互にカレントミラー回路を構成する第 1 および第 2 トランジスタの一方主電極が第 1 直流電源電位線に接続され、当該第 1 トランジスタの制御電極と他方主電極とが互いに接続されており、しかも当該他方主電極と第 2 直流電源電位線との間に第 3 トランジスタが介挿されることによって、前記第 3 トランジスタの制御電極へ入力される入力電圧に応じて前記第 2 トランジスタを流れる電流を調整可能な電圧電流変換装置において、

前記第 3 トランジスタと前記第 2 直流電源電位線との間に介挿される第 4 トランジスタと、当該第 4 トランジスタの制御電極に制御電圧を供給する電圧発生手段とをさらに備え、

当該電圧発生手段は、電源電圧が上昇および下降する変動にともなって前記第 4 トランジスタのオン抵抗がそれぞれ増加および減少するように前記制御電圧を出力することを特徴とする電圧電流変換装置。

【請求項 2】 請求項 1 に記載の電圧電流変換装置において、前記第 1 トランジスタの他方主電極と前記第 2 電源電位線との間にさらに介挿されるとともに前記第 3 トランジスタとは並列に接続される第 5 トランジスタと、当該第 5 トランジスタの制御電極に制御電圧を供給するもう一つの電圧発生手段とをさらに備え、

当該もう一つの電圧発生手段は、電源電圧が上昇および下降する変動にともなって前記第 5 トランジスタのオン抵抗がそれぞれ増加および減少するように前記制御電圧を出力することを特徴とする電圧電流変換装置。

【請求項 3】 請求項 1 に記載の電圧電流変換装置において、

前記第 2 電源電位線に一方主電極が接続され他方主電極と制御電極とが前記第 2 トランジスタの他方主電極に接続された第 6 トランジスタと、前記第 1 トランジスタとカレントミラー回路を構成するとともに一方主電極が前記第 1 直流電源電位線に接続された奇数個の第 7 トランジスタと、前記第 6 トランジスタとカレントミラー回路を構成するとともに一方主電極が前記第 2 直流電源電位線に接続された前記第 7 トランジスタと同数個の第 8 トランジスタとを備えることを特徴とする電圧電流変換装置。

【請求項 4】 請求項 1 または請求項 2 に記載の電圧電流変換装置において、前記電圧発生手段が、定電圧発生手段と反転増幅手段とを備え、当該反転増幅手段が前記定電圧発生手段の出力電圧を基準電圧として前記電源電圧を反転増幅することを特徴とする電圧電流変換装置。

## 【発明の詳細な説明】

【0001】

【産業上の利用分野】 この発明は、入力電圧に応じた大きさの電流を出力する電圧電流変換装置に関する。

【0002】

【従来の技術】 各段の出力を次段へと順次入力するように縦続接続されるとともに最終段の出力を最前段へと帰還させた奇数段からなるインバータは、リングオシレータとして知られ、反復するパルスを出力する発振器として機能する。特に、入力電圧に応じてリングオシレータの発振周波数を制御可能とした電圧制御発振器（以下において、VCOと略記する）は、例えば、マイクロコンピュータの任意の周波数のシステムクロックを生成する目的などに多用されている。

10 【0003】 図 4 は、従来の VCO の内部構成を示す回路図である。図 4 において、30 は 3 段のインバータで構成されるリングオシレータであり、29 はリングオシレータ 30 の出力周波数を調整するための電圧電流変換装置である。

【0004】 リングオシレータ 29 では、互いに同一構造の PMOS 型の FET 25a ~ 25c の各 1 と、互いに同一構造の NMOS 型の FET 26a ~ 26c の各 1 とが、それぞれ直列に接続されることによって、インバータ回路 32a ~ 32c が構成されている。これらの 3 段のインバータ回路 32a ~ 32c はリングオシレータを構成するように、それらの出力と入力とが循環的に接続されている。そして、インバータ回路 32c の出力に接続される出力端子 28 を通して、パルスが外部へ取り出される。

【0005】 電圧電流変換装置 29 では、PMOS 型の FET（第 1 トランジスタ）2 と NMOS 型の FET（第 3 トランジスタ）1、（第 4 トランジスタ）4 との直列回路が正電源（第 1 直流電源電位線）10 と負電源（第 2 直流電源電位線）11 の間に介挿されている。また、PMOS 型の FET（第 2 トランジスタ）3 と NMOS 型の FET（第 6 トランジスタ）23 との直列回路が、同じく正電源 10 と負電源 11 との間に介挿されている。FET 2 のゲート電極、FET 2 のドレイン電極、および FET 3 のゲート電極は、互いに接続されており、これらの接続点と負電源 11 との間に、NMOS 型の FET（第 5 トランジスタ）5 が介挿されている。また、FET 1 のゲート電極は入力端子 6 に接続され、FET 4、5 のゲート電極は、いずれも正電源 10 に接続されている。

40 【0006】 さらに、正電源 10 には互いに同一構造の PMOS 型の FET（第 7 トランジスタ）24a ~ 24c のソース電極がそれぞれ接続されており、一方の負電源 11 には、互いに同一構造の NMOS 型の FET（第 8 トランジスタ）27a ~ 27c のソース電極がそれぞれ接続されている。これらの FET 24a ~ 24c のドレイン電極の各 1、および FET 27a ~ 27c のドレイン電極の各 1 の間に、インバータ回路 32a ~ 32c の各 1 が、それぞれ介挿されている。

50 【0007】 そして、FET 24a ~ 24c のゲート電極は FET 3 のゲート電極に接続されており、FET 2

7 a ~ 2 7 c のゲート電極は F E T 2 3 のゲート電極に接続されている。また、F E T 2 3 のゲート電極はそのドレイン電極と接続されている。すなわち、F E T 2, 3, 2 4 a ~ 2 4 c は互いにカレントミラー回路を構成しており、同様に、F E T 2 3, 2 7 a ~ 2 7 c は互いにもう一つのカレントミラー回路を構成している。

【 0 0 0 8 】この V C O は以上のように構成されるので、以下のように動作する。電圧電流変換装置 2 9 の入力端子 6 には、負電源 1 1 の電位であるゼロ電位から正電源 1 0 の電位（電源電圧）にわたる直流の電圧信号（入力電圧） $V_i$  が入力される。まず電圧信号  $V_i$  が 0 V から F E T 1 の閾電圧  $V_{th}$ （F E T がオフからオンへと移行するためのゲート・ソース間電圧）の範囲の値であるときには、F E T 1 はオフ（遮断）状態となる。このとき、正電源 1 0 から F E T 2 へと流れる電流  $I_1$  は、さらに F E T 5 を通って負電源 1 1 へと流れる。

【 0 0 0 9 】F E T 5 は、常時オンしているので抵抗素子として機能する。そして、F E T 2 のゲート電極とドレイン電極とが接続されているので、電流  $I_1$  の大きさは、F E T 5 のオン抵抗の大きさと F E T 2 の入出力特性（ゲート・ソース間電圧と電流の間の関係）によって決定される。F E T 2 のゲート・ソース間電圧は、その閾電圧  $V_{th}$  に概略等しいので、電流  $I_1$  の大きさは主として F E T 5 のオン電圧によって決定される。

【 0 0 1 0 】F E T 2 と F E T 3 とはカレントミラー回路を構成するので、正電源 1 0 から F E T 3 へと、電流  $I_1$  に比例した電流  $I_2$  が流れる。その比例係数は、F E T 2 と F E T 3 における、チャネル幅  $W$ 、チャネル長  $L$  によって決まり、例えば F E T 2 と F E T 3 の間でそれらが互いに同一であれば、電流  $I_2$  は電流  $I_1$  と同一の大きさとなる。

【 0 0 1 1 】また、F E T 2 と F E T 2 4 a ~ 2 4 c の各 1 も、カレントミラー回路を構成するので、F E T 2 4 a ~ 2 4 c の各 1 には電流  $I_1$  に比例した電流  $I_3$  が流れる。電流  $I_3$  は、さらに F E T 2 3 を通過して負電源 1 1 へと流れる。このとき、F E T 2 3 のゲート・ソース間電圧は、F E T 2 3 の入出力特性と電流  $I_3$  とによって決まる。そして、F E T 2 3 と F E T 2 7 a ~ 2 7 c の各 1 は、カレントミラー回路を構成するので、F E T 2 7 a ~ 2 7 c の各 1 には、電流  $I_3$  に比例した電流

【 0 0 1 2 】F E T 2 7 a ~ 2 7 c の各 1 と F E T 2 4 a ~ 2 4 c の各 1 とを同一の電流  $I_3$  が流れるように、F E T 2, 2 4 a ~ 2 4 c の間の電流の比と、F E T 2 3, 2 7 a ~ 2 7 c の間の電流の比とが互いに同一となるように、それらの F E T におけるチャネル幅  $W$ 、チャネル長  $L$  が設定されている。

【 0 0 1 3 】以上のように、電圧信号  $V_i$  が F E T 1 の閾電圧  $V_{th}$  以下の値であるときには、インバータ回路 3 2 a ~ 3 2 c の各 1 には、主として F E T 5 のオン抵抗

で決まる電流  $I_1$  が供給される。

【 0 0 1 4 】つぎに、電圧信号  $V_i$  が F E T 1 の閾電圧  $V_{th}$  と電源電圧の間の値であるときには、F E T 1 がオンするので、電流  $I_1$  は、F E T 1 と F E T 4 との直列回路を流れる電流と F E T 5 を流れる電流との和となる。F E T 4 は常時オンしているので、F E T 5 と同様に抵抗素子として機能する。F E T 1 を流れる電流の大きさは、電圧信号  $V_i$ 、F E T 4 のオン抵抗、および F E T 1 の入出力特性によって決まる。

【 0 0 1 5 】F E T 1 のゲート・ソース間電圧は、その閾電圧  $V_{th}$  に概略等しいので F E T 1 を流れる電流の大きさは、主として F E T 4 のオン抵抗の大きさと電圧信号  $V_i$  とによって決定される。電圧信号  $V_i$  が高いほど F E T 1 を流れる電流は大きくなる。電圧信号  $V_i$  が閾電圧  $V_{th}$  を超えるときには、電流  $I_1$  の大きさは電圧信号  $V_i$  によって感度よく変化するのが望ましいので、F E T 4 のオン抵抗は F E T 5 のオン抵抗よりも十分に低く設定されている。すなわち、電流  $I_1$  の 2 つの成分の中で、F E T 5 を流れる電流よりも F E T 4 を流れる電流が支配的である。したがって、電圧信号  $V_i$  が F E T 1 の閾電圧  $V_{th}$  を超えるときには、電流  $I_1$  は電圧信号  $V_i$  の上昇にともなって概略直線的に増加する。

【 0 0 1 6 】電圧信号  $V_i$  が高いほど電流  $I_1$  が大きくなるので、カレントミラー効果によって、F E T 2 4 a ~ 2 4 c、F E T 2 7 a ~ 2 7 c を流れる電流  $I_2$  も大きくなる。すなわち、電圧信号  $V_i$  が F E T 1 の閾電圧  $V_{th}$  を超えるときには、インバータ回路 3 2 a ~ 3 2 c の各 1 には、電圧信号  $V_i$  の高さに応じた大きさの電流  $I_2$  が供給される。

【 0 0 1 7 】リングオシレータ 3 0 の発振周波数は、主として、各インバータ回路 3 2 a ~ 3 2 c のゲート容量と各インバータ回路 3 2 a ~ 3 2 c の間を接続する配線に寄生する配線容量との和、およびこれらの容量を充放電するのに供される電流  $I_1$  の大きさによって決まる。ゲート容量と配線容量は定数であるので、発振周波数は主として電流  $I_1$  によって決定され、しかも概略比例する。

【 0 0 1 8 】したがって、電圧信号  $V_i$  が閾電圧  $V_{th}$  を超えた領域では、出力端子 2 8 から出力される出力パルスの周波数  $f_{out}$  は、電圧信号  $V_i$  の上昇に対して概略直線的に上昇する。このように、この V C O では、電圧信号  $V_i$  の大きさによって出力パルスの周波数  $f_{out}$  を所望の大きさに設定することが可能である。

【 0 0 1 9 】

【発明が解決しようとする課題】ところで、以上に述べた従来の V C O では、電源電圧の変動にともなって、出力パルスの周波数  $f_{out}$  が変動するという問題点があった。図 5 は、さまざまな電源電圧  $V_{cc}$  に対する周波数  $f_{out}$  と電圧信号  $V_i$  との間の関係を示すグラフである。図 5 に示すように、電圧信号  $V_i$  が一定であっても、周波

10

20

30

40

50

数  $f_{01}$  は電源電圧  $V_{cc}$  に大きく依存しており、電源電圧  $V_{cc}$  が高いほど周波数  $f_{01}$  が高くなっている。

【0020】これは、第1に電圧電流変換装置29において、電源電圧  $V_{cc}$  が高いほど、FET2におけるゲート・ソース間電圧が高くなるために、電流  $I_1$  が大きくなり、それにともなって電流  $I_1$  および電流  $I_2$  が大きくなることに主として起因する。すなわち、数式で表現すると、

【0021】

【数1】

$$\frac{d I_2}{d V_{cc}} > 0$$

【0022】

【数2】

$$\frac{d I_3}{d V_{cc}} > 0$$

【0023】となる。インバータ回路32a~32cに供給される電流  $I_1$  が増加することによって、周波数  $f_{01}$  の上昇がもたらされる。

【0024】第2に、リングオシレータ30に供給される電流  $I_1$  が仮に一定であっても、電源電圧  $V_{cc}$  が変動するのにともなってリングオシレータ30が出力するパルスの周波数  $f_{01}$  は変動する。例えば電源電圧  $V_{cc}$  が高くなると、リングオシレータ30に印加される電圧も高くなり、それにともなってリングオシレータ30を構成するFET25a~25c、27a~27cの動作速度が高まる。その結果、周波数  $f_{01}$  が高くなる。このことが、周波数  $f_{01}$  が電源電圧  $V_{cc}$  に依存するもう一つの原因となっている。

【0025】以上のように、従来の電圧電流変換装置29を用いたVCOでは、電源電圧  $V_{cc}$  の変動にともなって出力パルスの周波数  $f_{01}$  が変動するという問題点があった。

【0026】この発明は、従来の電圧電流変換装置における上記した問題点を解消するためになされたもので、電源電圧が変動しても電圧制御発振器が安定した周波数のパルスを出力可能な電圧電流変換装置を提供することを目的とする。

【0027】

【課題を解決するための手段】この発明にかかる請求項1に記載の電圧電流変換装置は、相互にカレントミラー回路を構成する第1および第2トランジスタの一方主電極が第1直流電源電位線に接続され、当該第1トランジスタの制御電極と他方主電極とが互いに接続されており、しかも当該他方主電極と第2直流電源電位線との間に第3トランジスタが介挿されることによって、前記第3トランジスタの制御電極へ入力される入力電圧に応じて前記第2トランジスタを流れる電流を調整可能な電圧電流変換装置において、前記第3トランジスタと前記第2直流電源電位線との間に介挿される第4トランジスタ

と、当該第4トランジスタの制御電極に制御電圧を供給する電圧発生手段とをさらに備え、当該電圧発生手段は、電源電圧が上昇および下降する変動にともなって前記第4トランジスタのオン抵抗がそれぞれ増加および減少するように前記制御電圧を出力することを特徴とする。

【0028】この発明にかかる請求項2に記載の電圧電流変換装置は、請求項1に記載の電圧電流変換装置において、前記第1トランジスタの他方主電極と前記第2電源電位線との間にさらに介挿されるとともに前記第3トランジスタとは並列に接続される第5トランジスタと、当該第5トランジスタの制御電極に制御電圧を供給するもう一つの電圧発生手段とをさらに備え、当該もう一つの電圧発生手段は、電源電圧が上昇および下降する変動にともなって前記第5トランジスタのオン抵抗がそれぞれ増加および減少するように前記制御電圧を出力することを特徴とする。

【0029】この発明にかかる請求項3に記載の電圧電流変換装置は、請求項1に記載の電圧電流変換装置において、前記第2電源電位線に一方主電極が接続され他方主電極と制御電極とが前記第2トランジスタの他方主電極に接続された第6トランジスタと、前記第1トランジスタとカレントミラー回路を構成するとともに一方主電極が前記第1直流電源電位線に接続された奇数個の第7トランジスタと、前記第6トランジスタとカレントミラー回路を構成するとともに一方主電極が前記第2直流電源電位線に接続された前記第7トランジスタと同数個の第8トランジスタとを備えることを特徴とする。

【0030】この発明にかかる請求項4に記載の電圧電流変換装置は、請求項1または請求項2に記載の電圧電流変換装置において、前記電圧発生手段が、定電圧発生手段と反転増幅手段とを備え、当該反転増幅手段が前記定電圧発生手段の出力電圧を基準電圧として前記電源電圧を反転増幅することを特徴とする。

【0031】

【作用】

<請求項1に記載の発明の作用>この発明の電圧電流変換装置では、第2トランジスタの他方主電極を通じて第2トランジスタを流れる電流を出力電流として取り出すことができる。そして、第2トランジスタを流れる出力電流の大きさは、カレントミラー効果によって第1トランジスタを流れる電流の大きさに比例する。さらに、第3トランジスタと第2直流電源電位線との間に第4トランジスタが介挿されるので、この第4トランジスタのオン抵抗によって第1トランジスタを流れる電流が制限される。しかも、電圧発生手段の働きによって、第4トランジスタのオン抵抗は、電源電圧の上昇および下降にともなって、それぞれ増加および減少するので、第1トランジスタを流れる電流における電源電圧の変動にともなう変動が、緩まないし解消され、あるいは逆方向の変動

10

20

30

40

50

となる。その結果、出力電流の変動も緩まないし解消され、あるいは逆方向の変動となる。

【 0 0 3 2 】 < 請求項 2 に記載の発明の作用 > この発明の電圧電流変換装置では、第 1 トランジスタと第 2 直流電源電位線との間に、第 3 トランジスタとは並列に、第 5 トランジスタが介挿されるので、第 3 トランジスタが遮断するような入力電圧が印加されたときに、第 1 トランジスタを流れる電流が第 5 トランジスタを通じて流れる。すなわち、出力電流を最小とするように入力電圧を付与しても、第 1 トランジスタにはゼロでない有限の電流が流れる。その結果、出力電流の最小値がゼロでない有限値となる。

【 0 0 3 3 】 しかも、もう一つの電圧発生手段の働きによって、第 5 トランジスタのオン抵抗は、電源電圧の上昇および下降にともなって、それぞれ増加および減少するので、第 5 トランジスタを通じて第 1 トランジスタを流れる電流における電源電圧の変動にともなう変動が、緩まないし解消され、あるいは逆方向の変動となる。その結果、出力電流の変動も緩まないし解消され、あるいは逆方向の変動となる。

【 0 0 3 4 】 < 請求項 3 に記載の発明の作用 > この発明の電圧電流変換装置では、第 7 および第 8 トランジスタの他方主電極を通じて出力電流を取り出すことができる。そして、第 2 トランジスタを流れる電流は第 6 トランジスタをも流れ、しかも第 7 および第 8 トランジスタは、第 2 および第 6 トランジスタとそれぞれカレントミラー回路を構成するので、第 7 および第 8 トランジスタには、第 2 トランジスタを流れる電流に比例した電流が流れる。このため、第 7、第 8 トランジスタを流れる電流、すなわち出力電流として取り出し可能な電流における電源電圧の変動にともなう変動が、緩まないし解消され、あるいは逆方向の変動となる。

【 0 0 3 5 】 < 請求項 4 に記載の発明の作用 > この発明の電圧電流変換装置では、電圧発生手段が、定電圧発生手段と反転増幅手段とを用いることによって容易に構成される。

【 0 0 3 6 】

【 実施例 】

< 第 1 実施例 > まず、この発明の第 1 実施例について説明する。図 1 は、この実施例の電圧電流変換装置 4 2 の構成を示す回路図である。なお以下の図において、図 4 に示した従来装置と同一部分には同一符号を付して、その詳細な説明を略する。図 1 には、電圧電流変換装置 4 2 とともにリングオシレータ 3 0 が描かれており、これらは VCO を構成している。電圧電流変換装置 4 2 は、FET 4 および FET 5 のゲート電極が、電圧発生装置部（電圧発生手段） 8、9 にそれぞれ接続されている点、従来の電圧電流変換装置 2 9 とは特徴的に異なっている。

【 0 0 3 7 】 図 2 は電圧発生装置部 8 の内部構成を示す

回路図である。電圧発生装置部 9 も、この電圧発生装置部 8 と同様に構成されるので、電圧発生装置部 8 で双方を代表する。電圧発生装置部 8 は、互いに結合した定電圧回路（定電圧発生手段） 4 1 と反転増幅回路（反転増幅手段） 4 3 とを有する。

【 0 0 3 8 】 反転増幅回路 4 3 は差動入力型の増幅器 2 1 を有しており、この増幅器 2 1 の出力と反転入力との間には負帰還抵抗 2 0 が接続され、また、反転入力と正電源 1 0 との間には入力側抵抗 1 9 が接続されている。増幅器 2 1 の非反転入力には定電圧回路 4 1 からの出力が接続されている。このため、反転増幅回路 4 3 は、定電圧回路 4 1 から供給される出力電圧を基準電圧として、2 つの抵抗 1 9、2 0 の抵抗値の比で決まる増幅率をもって正電源 1 0 の電位すなわち電源電圧  $V_{cc}$  を反転増幅する。

【 0 0 3 9 】 定電圧回路 4 1 は、正電源 1 0 と負電源 1 1 との間に 2 つの直列回路が互いに並列に介挿されている。1 つの直列回路は正電源 1 0 側から順に PMOS 型の FET 1 2、NMOS 型の FET 1 4、1 6 および抵抗 1 8 が直列に接続されてなり、もう一つの直列回路は正電源 1 0 から順に PMOS 型の FET 1 3、NMOS 型の FET 1 5、1 7 が直列に接続されてなる。FET 1 2 と FET 1 3 の間ではゲート電極が互いに接続され、FET 1 4 と FET 1 5、さらに FET 1 6 と FET 1 7 の間においてもゲート電極が互いに接続されている。さらに、FET 1 2、1 5、1 7 においては、それぞれのゲート電極とドレイン電極とが互いに接続されている。

【 0 0 4 0 】 このように構成される定電圧回路 4 1 では、電源電圧  $V_{cc}$  には余り依存しないほぼ一定の電流がそれぞれの直列回路に流れる。この電流の大きさは抵抗 1 8 の抵抗値を調節することによって所望の大きさに設定することが可能である。FET 1 5 のゲート電極の電位  $V_r$  は、FET 1 5 を含む直列回路を流れる電流の大きさと、FET 1 5、1 7 における入出力特性によって決まる。

【 0 0 4 1 】 したがって、電位  $V_r$  は、電源電圧  $V_{cc}$  には余り依存しない略一定値となる。この FET 1 5 のゲート電極が増幅器 2 1 の非反転入力へ接続される。すなわち、反転増幅回路 4 3 の基準電圧として、電源電圧  $V_{cc}$  には余り依存しない略一定の電位  $V_r$  が供給される。その結果、電源電圧  $V_{cc}$  の変動にともなって、増幅器 2 1 の出力電圧は逆方向に変動する。この出力電圧が電圧発生装置部 8 の出力電圧  $V_o$  として、FET 4 のゲート電極へ供給される。

【 0 0 4 2 】 つぎに、このことを定量的に説明する。出力電圧  $V_o$  と電源電圧  $V_{cc}$  および基準電圧  $V_r$  との関係は、

【 0 0 4 3 】

【 数 3 】

9

$$V_B = - \frac{R_{20}}{R_{19}} V_{cc} + \frac{R_{19} + R_{20}}{R_{19}} V_r$$

【0044】と表現される。なお、数3において $R_{19}$ 、 $R_{20}$ は、それぞれ入力側抵抗19、負帰還抵抗20の抵抗値である。上述したように、基準電圧 $V_r$ は電源電圧 $V_{cc}$ への依存性が小さいので、入力側抵抗19、負帰還抵抗20の抵抗値を適切に設定することによって、

【0045】

【数4】

$$\frac{dV_B}{dV_{cc}} < 0$$

【0046】とすることが可能である。このとき、電源電圧 $V_{cc}$ が高くなると、FET4のオン抵抗は高くなり、逆に、電源電圧 $V_{cc}$ が低くなるとオン抵抗は低くなる。

【0047】同様のことは、電圧発生装置部9からFET5のゲート電極への出力電圧についてもいえる。その結果、電流 $I_1$ が電源電圧 $V_{cc}$ に依存しないかまたは逆方向に依存するようにすること、すなわち、

【0048】

【数5】

$$\frac{dI_2}{dV_{cc}} \leq 0$$

【0049】とすることが可能である。このとき、電流 $I_1$ に比例して流れる電流 $I_2$ も同様に、

【0050】

【数6】

$$\frac{dI_3}{dV_{cc}} \leq 0$$

【0051】となる。

【0052】以上のように、入力側抵抗19、負帰還抵抗20の抵抗値を適切に設定すること、言い替えると、電圧発生装置部8における電源電圧 $V_{cc}$ の負の増幅率の値を適切に設定することによって、電流 $I_1$ および電流 $I_2$ を電源電圧 $V_{cc}$ へ依存しない一定値とすること、あるいはこれらの電流が電源電圧 $V_{cc}$ へ逆方向に依存するようにすることが可能である。

【0053】電流 $I_1$ を電源電圧 $V_{cc}$ へ依存しない一定値とすることによって、リングオシレータ30に供給される電流を安定させ、周波数 $f_{out}$ の電源電圧 $V_{cc}$ 依存性を緩和することができる。さらに、電流 $I_1$ が電源電圧 $V_{cc}$ にマイナスに依存するようにすることによって、リングオシレータ30自身の電源電圧 $V_{cc}$ 依存性をも打ち消して、周波数 $f_{out}$ を電源電圧 $V_{cc}$ に依存しない安定した値とすることが可能である。

【0054】あるいは、電流 $I_1$ が電源電圧 $V_{cc}$ へなお正方向に依存しつつも、その依存性を緩和するだけでも、リングオシレータ30の周波数 $f_{out}$ の電源電圧 $V_{cc}$ への依存性を緩やかなものとすることができる。

【0055】＜第2実施例＞つぎに、この発明の第2実

10

施例について説明する。図3は、この実施例の電圧電流変換装置40の構成を示す回路図である。図3が示すように、この電圧電流変換装置40は、電圧電流変換装置42においてFET23、24a～24c、27a～27cを除去した部分に相当する。電圧電流変換装置40では、FET3のドレイン電極に出力端子7が接続されており、この出力端子7を通じて電流 $I_1$ が出力電流として出力される。したがって、電圧発生装置部8および電圧発生装置部9における入力側抵抗19、負帰還抵抗20を適切に調節することによって、出力電流（＝電流 $I_1$ ）を電源電圧 $V_{cc}$ に依存しない安定した値、あるいは電源電圧 $V_{cc}$ にマイナスに依存した値とすることができる。そうすることによって、この電圧電流変換装置40は、VCOだけでなく、安定した出力電流あるいは電源電圧 $V_{cc}$ にマイナスに依存する出力電流を必要とする各種の装置への使用が可能である。

【0056】

【発明の効果】

＜請求項1に記載の発明の効果＞この発明の電圧電流変換装置では、電圧発生手段の働きによって、第4トランジスタのオン抵抗は、電源電圧の上昇および下降にともなう出力電流の変動が、緩和ないし解消され、あるいは逆方向の変動となる。このため、この電圧電流変換装置を、例えばVCOに用いることによって出力パルスの周波数の電源電圧依存性を緩和ないし解消することができる。

【0057】＜請求項2に記載の発明の効果＞この発明の電圧電流変換装置では、第5トランジスタが備わるので、出力電流の最小値がゼロでない有限値となる。このため、例えばVCOに用いたときに、出力パルスの周波数の最小値がゼロになることがないので、入力電圧の大きさによってVCOがその機能を停止する恐れがない。しかも、もう一つの電圧発生手段が備わるので、電源電圧の変動にともなう出力電流の変動が緩和ないし解消され、あるいは逆方向の変動となる。このため、この電圧電流変換装置を、例えばVCOに用いることによって出力パルスの周波数の電源電圧依存性を緩和ないし解消することができる。

【0058】＜請求項3に記載の発明の効果＞この発明の電圧電流変換装置では、第2トランジスタを流れる電流は第6トランジスタをも流れ、しかも第7および第8トランジスタは、第2および第6トランジスタとそれぞれカレントミラー回路を構成するので、第7および第8トランジスタには、第2トランジスタを流れる電流に比例した電流が流れる。その結果、第7、第8トランジスタを流れる電流、すなわち出力電流として取り出し可能な電流における電源電圧の変動にともなう変動が、緩和ないし解消され、あるいは逆方向の変動となる。このため、この電圧電流変換装置を、例えばVCOに用いるこ

11

とによって出力パルスの周波数の電源電圧依存性を緩和ないし解消することができる。しかも、第7トランジスタの他方主電極と第8トランジスタの他方主電極の間に、例えばリングオシレータを介挿することによってVCOを容易に構成し得るので、この電圧電流変換装置はVCOへの利用に特に適している。

【0059】<請求項4に記載の発明の効果>この発明の電圧電流変換装置では、電圧発生手段が、定電圧発生手段と反転増幅手段とを用いることによって容易に構成される。

【図面の簡単な説明】

【図1】 第1実施例の電圧電流変換装置が組み込まれたVCOの回路図である。

【図2】 第1実施例の電圧発生装置部の回路図である。

【図3】 第2実施例の電圧電流変換装置の回路図である。

12

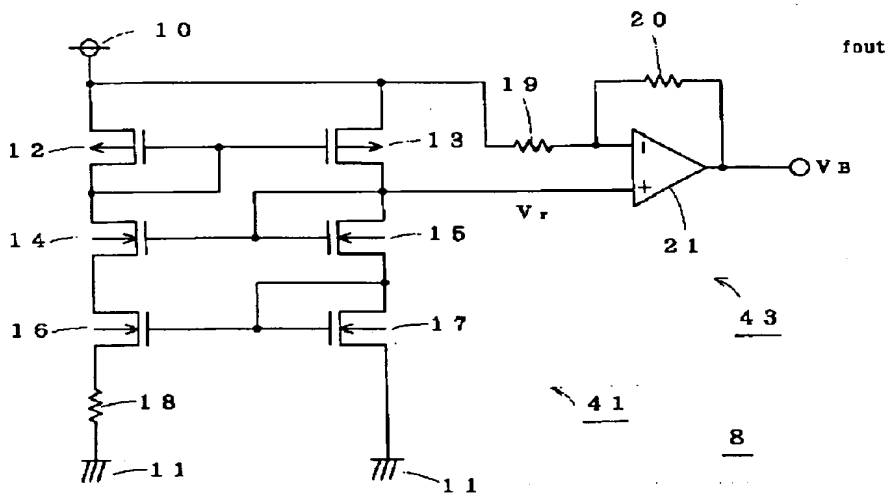
【図4】 従来の電圧電流変換装置が組み込まれたVCOの回路図である。

【図5】 従来の電圧電流変換装置が組み込まれたVCOの特性を示すグラフである。

【符号の説明】

- 1 FET (第3トランジスタ)、2 FET (第1トランジスタ)、3 FET (第2トランジスタ)、4 FET (第4トランジスタ)、5 FET (第5トランジスタ)、8, 9 電圧発生装置部 (電圧発生手段)、10 正電源 (第1直流電源電位線)、11 負電源 (第2直流電源電位線)、23 FET (第6トランジスタ)、24 a~24 c FET (第7トランジスタ)、27 a~27 c FET (第8トランジスタ)、40, 42 電圧電流変換装置、41 定電圧回路 (定電圧発生手段)、43 反転増幅回路 (反転増幅手段)、 $V_i$  電圧信号 (入力電圧)、 $V_r$  基準電圧。

【図2】

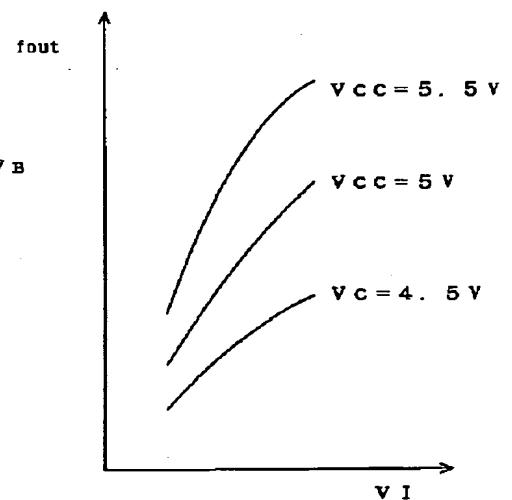


$V_r$  : 基準電圧

41 : 定電圧回路 (低電圧発生手段)

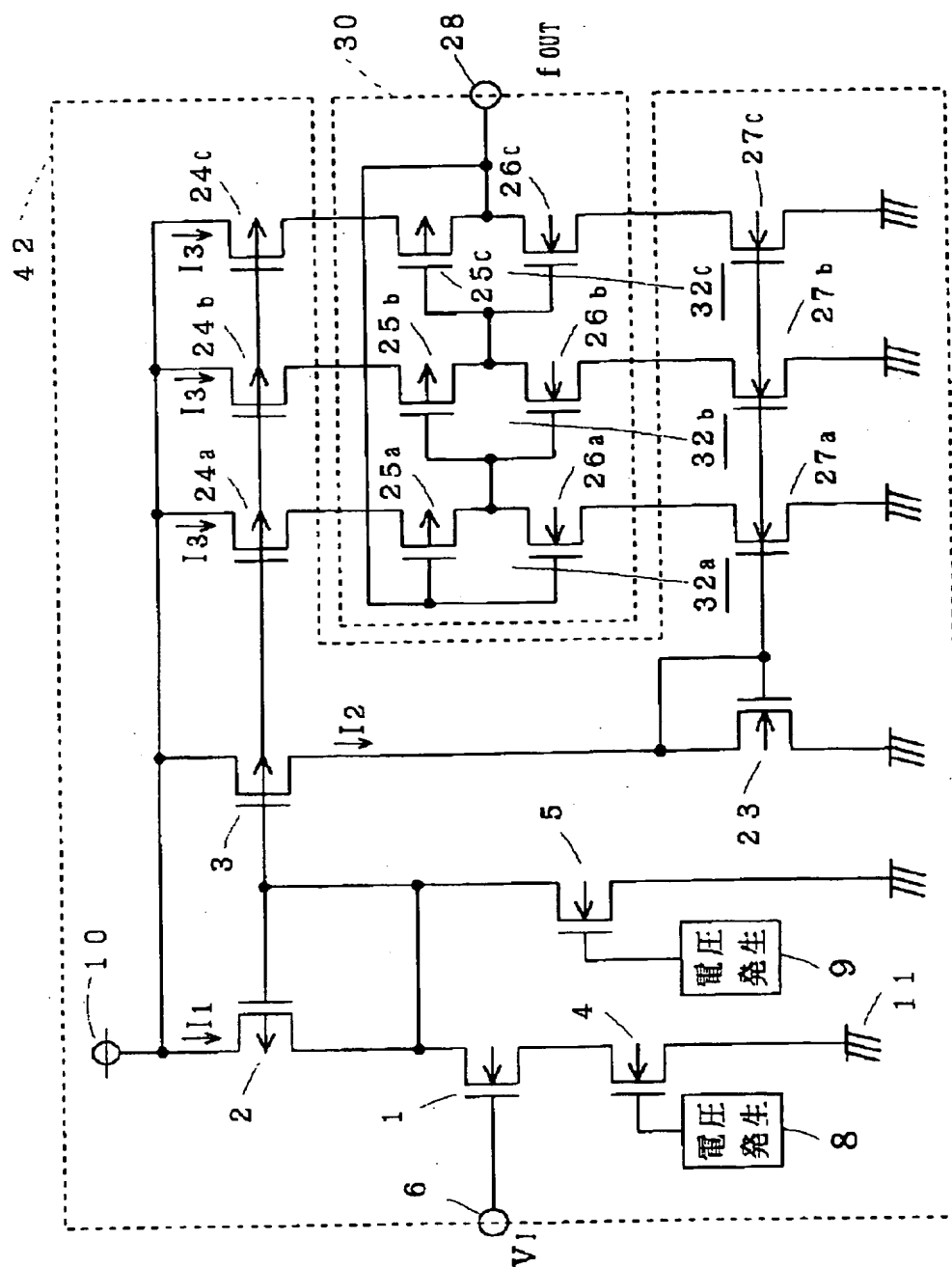
43 : 反転増幅回路 (反転増幅手段)

【図5】

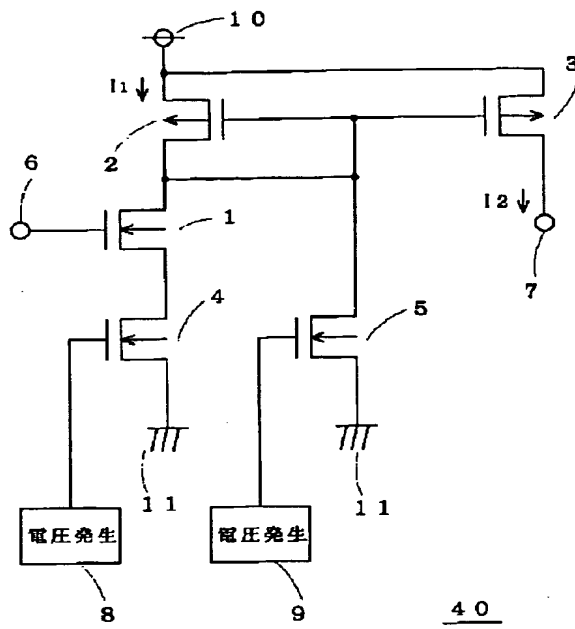




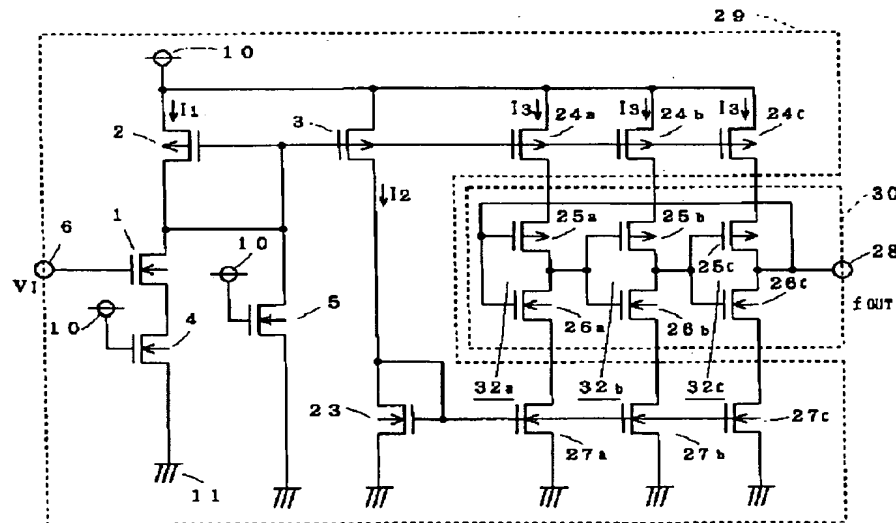
【図 1】



【図 3】



【図 4】



**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☒ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**